Questions 1.1

1. Comment savoir si une instruction est dépendante d’une instruction qui est pour le moment dans le stage EXECUTE ? dans le stage MEMORY\_ACCESS ? Dans le stage WRITE\_BACK ?

Il suffit de mémoriser pour les 3 derniers cycles l’adresse du registre de destination. Si pour l’instruction en cours, l’adresse des registres n, m ou mem en lecture est le même que l’un des registres de destination mémorisé, on sait qu’il y aura un aléa de type RAW.

1. Est-ce que ça pose un problème si une instruction dépend du résultat d’une instruction qui est au stage WRITE\_BACK ?

Techniquement, sur Logisim ça fonctionne, le WRITE BACK et la lecture du registre sont faites de manière instantanée, mais en réalité, il faudrait ajouter un coup de clock, à cause du délai de propagation.

1. Quels informations doivent être mémorisées pour chaque instruction ?
2. L’adresse du registre de destination
3. L’information de si pour cette instruction on veut écrire dans la banque de registre
4. L’information de si pour cette instruction on veut écrire dans la mémoire de données
5. Quelles informations permettent de savoir si le registre D est utilisé ?

Il suffit de savoir si une écriture est demandée dans la banque de registres, donc on doit connaître le signal bank\_wr\_s qui vient du reg\_bank\_cotrol\_unit dans le main\_ctrl\_unit dans le bloc decode.

Questions 1.2

1. Quelles informations permettent de savoir si le registre N, M ou mem sont utilisés ?
   1. Pour N : Si le bloc Execute a sélectionné l’opérande 1, on sait que la lecture se fait sur le registre N
   2. De même, si le bus de sélection de l’opérande 2 est à 0, on sait qu’on va lire le registre M
   3. Finalement, si on sait que l’instruction est une instruction de type STR, STRH ou STRB (signal str\_data du bloc memory\_access\_control\_unit dans le bloc decode), on sait que le registre MEM sera lu
2. Quelles informations permettent de savoir si le registre D est utilisé ?

Il suffit de savoir si une écriture est demandée dans la banque de registres, donc on doit connaître le signal bank\_wr\_s qui vient du reg\_bank\_cotrol\_unit dans le main\_ctrl\_unit dans le bloc decode.

1. Une détection d’aléa de donnée va influencer quel(s) enable(s) ? A quel moment ? Pourquoi ?

Lors de la détection d’un aléa de donnée, et si aucun aléa de contrôle n’est détecté, chaque enable des blocs sera désactivé en cascade : DECODE => EXECUTE => M\_ACCESS => WRITE\_BACK (REG\_BANK). La désactivation en cascade permet de terminer de traiter l’instruction en cours